

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-284679

(P2001-284679A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 1 L 43/08

H 0 1 L 43/08

Z 5 D 0 3 4

G 1 1 B 5/39

G 1 1 B 5/39

5 E 0 4 9

H 0 1 F 41/14

H 0 1 F 41/14

41/32

41/32

H 0 1 L 43/12

H 0 1 L 43/12

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号

特願2000-89616(P2000-89616)

(22) 出願日

平成12年3月28日 (2000. 3. 28)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 中島 健太郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 猪俣 浩一郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74) 代理人 100081732

弁理士 大胡 典夫 (外2名)

Fターム(参考) 5D034 BA03 BA08 BA15 BA30 DA07

5E049 AA01 AA10 AC05 BA06 BA12

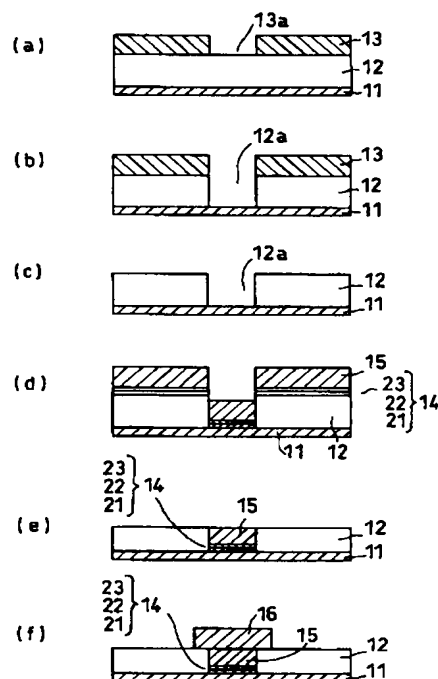
CB01 CC01 GC01

(54) 【発明の名称】 磁気素子およびその製造方法

(57) 【要約】

【課題】 イオンミリング法等の物理的スパッタリングによるエッチング法の使用を極力抑えることにより製造する磁気素子と、その製造方法を提供すること。

【解決手段】 半導体基板1上に設けられた絶縁層12、17の接続孔12a、17a内に形成された強磁性トンネル接合されたTMR素子14の形状を、接続孔12a、17aの形状によって規定する。



1

## 【特許請求の範囲】

【請求項 1】 配線パターン上に形成された絶縁層と、この絶縁層の前記配線パターン上の所定個所に形成され前記配線パターンの表面に至る接続孔内に形成され前記配線パターンに接続されて第 1 強磁性層と第 2 強磁性層がトンネルバリアを介して積層された強磁性トンネル接合と、この強磁性トンネル接合に接続された接続プラグと、この接続プラグに接続された第 2 配線パターンを具備した磁気素子において、前記強磁性トンネル接合の形状は、前記接続孔の形状によって規定されていることを特徴とする磁気素子。

【請求項 2】 表面に配線パターンが形成された半導体基板上に設けられた第 1 絶縁層と、この第 1 絶縁層上に形成された第 2 絶縁層と、前記第 1 絶縁層の前記配線パターン上の所定位置に形成された第 1 接続孔と、この第 1 接続孔の上部に連通して形成され前記第 2 絶縁層に形成された第 2 接続孔と、前記第 1 接続孔内に形成された第 1 強磁性電極と前記第 2 接続孔内に形成された第 2 強磁性電極がトンネルバリア層を介してトンネル接合を構成した強磁性トンネル接合と、この強磁性トンネル接合に接続した接続プラグと、この接続プラグに接続した第 2 配線パターンを具備した磁気素子において、前記第 1 強磁性電極および第 2 強磁性電極は、それぞれ前記第 1 および第 2 接続孔によって形状が規定されていることを特徴とする磁気素子。

【請求項 3】 前記第 2 強磁性電極が接続プラグを兼ねていることを特徴とする請求項 1 又は請求項 2 記載の磁気素子。

【請求項 4】 前記第 2 強磁性電極の下部底面積は、前記第 1 強磁性電極の上部面積より大であることを特徴とする請求項 2 記載の磁気素子。

【請求項 5】 半導体基板の配線パターン上に第 1 絶縁膜を形成する工程と、前記第 1 の絶縁膜を選択的に除去して前記配線パターンに達する第 1 接続孔を形成する工程と、第 1 接続孔内、及び前記第 1 絶縁膜上に強磁性トンネル接合膜を形成する工程と、前記第 1 絶縁膜上の前記強磁性トンネル接合膜を除去して、前記第 1 接続孔内に前記強磁性トンネル接合膜を残置させる工程と、前記強磁性トンネル接合膜上に第 2 絶縁膜を介して第 2 配線層を形成し、前記強磁性トンネル接合膜と第 2 配線層を接続する工程とを具備することを特徴とする磁気素子の製造方法。

【請求項 6】 半導体基板の配線パターン上に第 1 絶縁膜を形成する工程と、前記第 1 絶縁膜を選択的に除去して前記配線パターンに達する第 1 接続孔を形成する工程と、前記接続孔が形成された前記第 1 絶縁膜上に強磁性トンネル接合の第 1 強磁性電極膜を形成する工程と、前記第 1 絶縁膜上の前記第 1 強磁性電極膜を除去して、前記接続孔中に第 1 強磁性電極膜を残置させて素子分離を行う工程と、前記第 1 強磁性電極膜が除去された領域

2

に、強磁性トンネル接合のトンネルバリア層となる誘電体膜を形成する工程と、前記誘電体膜上に強磁性トンネル接合の第 2 強磁性電極膜を形成する工程と、前記第 2 強磁性電極膜上に第 2 絶縁膜を介して第 2 配線層を形成し、前記第 2 の強磁性電極と前記第 2 配線層を接続する工程とを具備することを特徴とする磁気素子の製造方法。

【請求項 7】 前記第 2 強磁性電極膜と第 2 配線層とを接続する工程が、前記第 2 の強磁性電極膜上に積層された第 2 又は第 3 絶縁膜の一部を除去することにより自己整合的に行うことを特徴とする請求項 4 または請求項 5 記載の磁気素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は強磁性体を用いた情報の記録・再生メモリ技術に係わり、特に、強磁性トンネル接合を利用した磁気素子とその製造方法に関する。

## 【0002】

【従来の技術】 磁気素子である磁気ランダムアクセスメモリ（以下、MRAMと略記する）は、情報の記録担体として強磁性体の磁化方向を利用し、記録情報を随時、書き換え、保持および読み出すことができる固体メモリの総称である。

【0003】 MRAMでは、メモリセルを構成する強磁性体の磁化方向が、ある基準方向に対して平行か、反平行であるかを 2 進の情報「1」、「0」に対応させて情報を記録する。記録情報の書き込みは、各セルの強磁性体の磁化方向を、クロスストライプ状に配置された書き込み線に電流を流して生じる電流磁界によって反転させることによって行われる。記録保持時の消費電力は原理的にゼロであり、また電源を切っても記録保持が行われる不揮発性メモリである。

【0004】 記録情報の読み出しは、メモリセルの電気抵抗が、セルを構成する強磁性体の磁化方向とセンス電流との相対角、または複数の強磁性層間の磁化の相対角によって変化する現象、いわゆる磁気抵抗効果を利用して行う。読み出し動作は、各セルを構成する強磁性体にセンス電流を流した状態で、強磁性体の磁化方向を書き込み時と同様に電流磁界で変化させ、その際の電気抵抗の変化を電圧変化として検出して行う。この際の磁界の大きさを強磁性の保磁力よりも小さく設定することにより、非破壊読み出しを実現することが可能である。

【0005】 現在、実用化の検討がなされている記録容量が 1Mb 程度の MRAM では、メモリ素子からの記録情報の読み出しに、巨大磁気抵抗効果（Giant Magnetoresistance；以下 GMR 効果と略記）を用いている。

【0006】 現在、GMR 効果を示す素子（以下 GMR 素子と略記）として多く用いられている非結合型 NiFe/Cu/Co 三層膜の GMR 効果の値は概ね 6～8%

## 3

程度、シート抵抗は数  $10\Omega/\square$  程度である。したがって  $100\Omega/\square$  のシート抵抗と、5%の抵抗変化率を仮定した場合でも、 $10\text{mA}$  のセンス電流に対する読み出し信号は、たかだか  $5\text{mV}$  に過ぎない。そのため読み出しの高速化が不十分であり、より一層の読み出し信号の高出力化が求められている。

【0007】これらの点を解決するため、GMR効果に代わり、強磁性トンネル効果 (Tunnel Magnetoresistance; 以下TMR効果と略記) を応用しようとする提案がなされている。

【0008】TMR効果を示す素子 (以下TMR素子と略記する) は、主として強磁性層1/絶縁層/強磁性層2からなる三層膜で構成され、電流は絶縁層をトンネルして流れる。TMR素子の抵抗値は、典型的には接合面積  $\mu\text{m}^2$  当たりで  $10^4 \sim 10^6\Omega$  である。したがって、仮に  $1\mu\text{m}^2$  素子において抵抗値  $10\text{k}\Omega$ 、抵抗変化率 25% を仮定すると、 $10\mu\text{A}$  のセンス電流で  $25\text{mV}$  の読み出し信号が得られる。

【0009】TMR素子は基本的に縦型構造素子であり、それを用いたMRAMではデータ線上に複数のTMR素子を並列接続する構造が一般的である。

【0010】その詳細構造のタイプとしては、(1) 各々のTMR素子に選択用の半導体素子を配置したもの、(2) データ線毎に選択トランジスタを配置したもの、(3) 複数のTMR素子をマトリックス状に配置し、行データ線、列データ線毎に選択トランジスタを配置したもの (例えば *J. Appl. Phys.* 81, 3758 (1997) 参照) が提案されている。

【0011】GMR、TMR素子部分の微細加工には、通常フォトリソグラフィとArイオンを用いたイオンミリングを併用した加工プロセスが一般的である。しかしながらイオンミリング法は、物理的なスパッタリング法であり、加工に伴って被加工物質が残渣として、レジストマスク側面、また加工装置中に再付着するという欠点を有している。

【0012】現在、半導体分野では、化学的ドライエッチング (Chemical Dry Etching; 以下CDEと略記)、反応性イオンエッチング (Reactive Ion Etching; 以下RIEと略記) など、化学反応を利用したドライエッチング法が盛んに利用されている。

【0013】化学反応を利用したSi、 $\text{SiO}_2$ 等のエッチングでは、被加工物は高い蒸気圧を有するハロゲン化物として気相のまま除去される。しかしながら、GMR素子、TMR素子に用いられるFe、Ni、Co、Cu等の3d遷移金属のハロゲン化物は蒸気圧が低く、半導体加工に用いられるプロセスをそのまま適用するのは困難である。また一酸化炭素、アンモニアの混合ガスを用い、有機金属化合物を形成して化学的なエッチングを行う方法も考案されているが (例えば、日本応用磁気学

## 4

会誌、22巻p1383参照)、化学反応速度が不十分であり、反応ガスによる物理的なスパッタリングが混在したプロセスにならざるを得ない等の問題を有しており、実用化には至っていない。

【0014】近年、DRAM、MPU等の製造工程において、配線遅延の低減、エレクトロマイグレーション耐性、放熱性の向上を目的として、従来のAl配線に変わってCu配線が多く用いられている。Cuは上述のようにAlのエッチングに用いられているハロゲン系の反応ガスでは、化学的なエッチングが難しい。そこで配線を加工してから層間絶縁膜を堆積して、平坦化する従来の方法とは全く異なる方法として、埋設型配線形成技術 (ダマシン法) が提案されている。 (例えば *Proc. IEEE VMIC* p20 (1991) 参照)。これは、あらかじめ層間絶縁膜に配線部分となるトレンチを形成した後に、Cu等の配線膜を全面に成膜し、化学的機械研磨法 (Chemical Mechanical Polishing; 以下CMP法と略記) 等の方法により平坦化を行い、配線分離を実現する方法である。さらに配線だけでなく下部配線への接続孔も同時に金属膜を埋め込むデュアルダマシン法も知られている。 (例えば *Proc. IEEE VMIC* p. 144 (1991) 参照)。

【0015】これらのダマシン法は、配線、接続孔等の受動素子に対して主に適用されているものである。

【0016】能動素子に対する適用例としては、例えば、MOSトランジスタのゲート部をダマシン法により作成するダマシゲート構造トランジスタが知られている。しかしメモリ素子部分のダマシン法を用いた製造方法は現在のところ知られていない。

【0017】一方、TMR素子をMRAMに応用する場合、その両端の電極をデータ線、選択トランジスタ等の外部回路に接続する必要がある。特にTMR素子は縦型構造のため、その上部電極を外部配線に接続する際には、絶縁膜による素子分離が必須となる。絶縁膜には配線接続のためのコンタクト孔が形成される。コンタクト孔の形成法としては、(1) レジストマスクを用い反応性化学エッチング等による絶縁体のエッチング、(2) 素子加工に用いたレジストを残したまま絶縁膜を成膜し、その後溶剤等でレジストを剥離 (自己整合プロセス)、の二つが主に用いられている。

【0018】しかしながら (1) の方法では、この工程でのマスク合わせ余裕が素子の最小加工寸法を規定し、微細化に難があること、また (2) の方法では、微細化が進展し、フォトリソ厚みと素子寸法が同程度になるとレジストの剥離が困難になる等の欠点を有している。

【0019】

【発明が解決しようとする課題】 上述のように、従来MRAMにおけるメモリ素子の微細加工方法として、フォ

5

トリソグラフィと Ar 等を用いたイオンミリング法が主に用いられている。しかしながら、物理的なスパッタリング法であるイオンミリング法では、加工に伴って被加工物質が残渣として、レジストマスク側面、また加工装置中に再付着し、素子の特性劣化、歩留まり低下を引き起こすという欠点を有している。

【0020】本発明はこのような課題に対処するためになされたものであり、イオンミリング法等の物理的なスパッタリングによるエッチング法の使用を極力抑えることにより製造した磁気素子と、その製造方法を提供することを目的としている。

【0021】

【課題を解決するための手段】本発明によれば、配線パターン上に形成された絶縁層と、この絶縁層の前記配線パターン上の所定個所に形成され前記配線パターンに接続されて第1強磁性層と第2強磁性層がトンネルバリアを介して積層された強磁性トンネル接合と、この強磁性トンネル接合に接続された接続プラグと、この接続プラグに接続された第2配線パターンを具備した磁気素子において、前記強磁性トンネル接合の形状は、前記接続孔の形状によって規定されていることを特徴とする磁気素子である。

【0022】また本発明によれば、表面に配線パターンが形成された半導体基板上に設けられた第1絶縁層と、この第1絶縁層上に形成された第2絶縁層と、前記第1絶縁層の前記配線パターン上の所定位置に形成された第1接続孔と、この第1接続孔の上部に連通して形成され前記第2絶縁層に形成された第2接続孔と、前記第1接続孔内に形成された第1強磁性電極と前記第2接続孔内に形成された第2強磁性電極がトンネルバリア層を介してトンネル接合を構成した強磁性トンネル接合と、この強磁性トンネル接合に接続した接続プラグと、この接続プラグに接続した第2配線パターンを具備した磁気素子において、前記第1強磁性電極および第2強磁性電極は、それぞれ前記第1および第2接続孔によって形状が規定されていることを特徴とする磁気素子である。

【0023】また本発明によれば、前記第2強磁性電極が接続プラグを兼ねていることを特徴とする磁気素子である。

【0024】また本発明によれば、前記第2強磁性電極の下部底面積は、前記第1強磁性電極の上部面積より大であることを特徴とする磁気素子である。

【0025】また本発明によれば、半導体基板の配線パターン上に第1絶縁膜を形成する工程と、前記第1の絶縁膜を選択的に除去して前記配線パターンに達する第1接続孔を形成する工程と、第1接続孔内、及び前記第1絶縁膜上に強磁性トンネル接合膜を形成する工程と、前記第1絶縁膜上の前記強磁性トンネル接合膜を除去し、前記第1接続孔内に前記強磁性トンネル接合膜を残

6

置させる工程と、前記強磁性トンネル接合膜上に第2絶縁膜を介して第2配線層を形成し、前記強磁性トンネル接合膜と第2配線層を接続する工程とを具備することを特徴とする磁気素子の製造方法である。

【0026】また本発明によれば、半導体基板の配線パターン上に第1絶縁膜を形成する工程と、前記第1絶縁膜を選択的に除去して前記配線パターンに達する第1接続孔を形成する工程と、前記接続孔が形成された前記第1絶縁膜上に強磁性トンネル接合の第1強磁性電極膜を形成する工程と、前記第1絶縁膜上の前記第1強磁性電極膜を除去して、前記接続孔中に第1強磁性電極膜を残置させて素子分離を行う工程と、前記第1強磁性電極膜が除去された領域に、強磁性トンネル接合のトンネルバリア層となる誘電体膜を形成する工程と、前記誘電体膜上に強磁性トンネル接合の第2強磁性電極膜を形成する工程と、前記第2強磁性電極膜上に第2絶縁膜を介して第2配線層を形成し、前記第2の強磁性電極と前記第2配線層を接続する工程とを具備することを特徴とする磁気素子の製造方法である。

【0027】また本発明によれば、前記第2強磁性電極膜と第2配線層とを接続する工程が、前記第2の強磁性電極膜上に積層された第2又は第3絶縁膜の一部を除去することにより自己整合的に行うことを特徴とする請求項4または請求項5記載の磁気素子の製造方法である。

【0028】

【発明の実施の形態】以下、本発明の磁気素子の一例を図面を参照して説明する。

【0029】図1は、本発明の磁気素子を形成した磁気メモリ装置の模式レイアウト図である。

【0030】この実施の形態の磁気メモリ装置は、複数のメモリセルを有し、各メモリセルは強磁性トンネル接合を有するTMR素子14と、選択トランジスタ2とを備えている。

【0031】この選択トランジスタ2とTMR素子14は、半導体基板1の主面上に形成される。選択トランジスタ2のゲートとなるワード線3が半導体基板1上に形成されている。そして、このワード線3の両側の半導体基板1の領域には、選択トランジスタ2のドレイン領域4aおよびソース領域4bが形成されている。なお、ソース領域4bは隣接するセルの選択トランジスタのソース領域を兼ねている。

【0032】この選択トランジスタ2上に層間絶縁膜5が形成されており、この層間絶縁膜5上に金属層による下部配線パターン11が形成されている。下部配線パターン11は層間絶縁膜5に設けられたコンタクト6を介して選択トランジスタ2のドレイン領域4aに接続される。なお、8は書き込み線である。

【0033】下部配線パターン11上の絶縁層12に形成された接続孔12aの内部には、一端がこの下部配線パターン11と電氣的に接続するようにTMR素子14

が設けられている。このTMR素子14の他端はコンタクトメタル15を介してデータ線16に接続されている。したがって、TMR素子14は下部配線パターン11とデータ線16が交差するパッシベーション膜41に設けられている。また、データ線42は絶縁膜43に覆われている。

【0034】なお、書き込み線8を除いた書き込み／読み出し回路は説明を省略した。書き込み／読み出し回路とそれに付随した周辺回路の構成については、周知の半導体技術、例えばDRAM、強誘電体メモリ等に用いられる公知技術を利用することが出来る。

【0035】また、TMR素子14を除く半導体回路部、周辺回路部の製造に関しては、従来公知の半導体製造技術を利用することができ、その詳細な説明は省略する。

【0036】これら構成の製造法における望ましい形態は以下の通りである。なお、図1と同じ符号は、同一機能部を示している。

【0037】(1) 下部配線パターン11を形成する金属膜上に形成される絶縁膜12としては、 $\text{SiO}_2$ 、 $\text{SiOF}$ 、 $\text{HSQ}$  (hydrogen silsesquioxane)、 $\text{MSQ}$  (methylsilsesquioxane)、リン添加ガラス、 $\text{Al}_2\text{O}_3$ 、等が適当であるが、絶縁機能を有するものであれば物質種は限定されない。配線間容量を低減することを考えると低誘電率物質が好ましい。またその成膜法に関しては、スパッタ法、CVD法、塗布法等が適当であるが、特にその方法には限定されない。

【0038】(2) 下部配線パターン11上の絶縁膜12を選択的に除去する方法としては、ハロゲン系ガス、フッ素系ガスを用いたCDE、RIEが適当であるが、当該作用を有する方法であれば方法の詳細、また反応性ガス種は限定されない。ただし、素子領域に対する寸法変換差を低減するためには、高アスペクト比の接続孔エッチングが可能な特性を有しているエッチング法が好ましい。エッチング時のマスクとしては、有機分子重合体を用いたマスクの他、いわゆるリフトオフ法によりパターンを転写した金属、誘電体からなるハードマスクを用いても良い。マスク上へのパターン転写はフォトリソグラフィ、電子線描画等の従来既知のリソグラフィ技術を用いればよい。

【0039】(3) 接続孔12aが開孔した絶縁膜12上に材料膜を形成する方法としては、スパッタ法、蒸着法、CVD法、めっき法等が適当である。接続孔12aへの平坦な埋め込みを実現するためには、特に蒸着法、めっき法が最適である。なお、例えばロングスロースパッタ法、コリメートスパッタ法等従来技術に対して改良を加えた方法も利用できる。いずれも膜形成、接続孔12aへの平坦な埋め込み作用を有する方法であれば方法の詳細は限定されない。

【0040】また、材料膜には上部強磁性電極を形成する導電性強磁性膜の他、素子のトンネルバリア部を形成する誘電体膜が含まれる。前記導電性強磁性膜において複数の金属、合金からなる積層膜を用いることはTMR素子14の機能向上の面から好ましい形態である。これらの異なる物質種からなる材料膜については、それぞれ最適な形成法を適宜選択して用いることが望ましい。

【0041】(4) 材料膜、絶縁膜の一部を除去して、接続孔12a中に材料膜を残置させ素子分離を行う方法としては、CMP法が最適である。その際の研磨剤、研磨条件、終点検出法等に関しては、本発明で限定するものではない。なお当該作用を有する方法であれば、CMP法以外に、エッチバック法、化学的除去法等の方法も可能である。

【0042】(5) 素子分離後、上部配線の形成工程までには、別途任意の工程を付加しても良い。本発明の骨子は、材料膜、絶縁膜の一部を除去して、接続孔中に材料膜を残置させることで素子領域の形成、分離を行うことにある。TMR素子の場合、素子の活性領域は下部電極領域に限定される。すなわち下部電極のみを(1)～(4)記載の工程で形成した後に、トンネルバリア部、上部電極を別個の方式によって形成しても良い。

【0043】(6) 素子と上部配線パターン16との接続工程では、(1)～(4)記載の工程を再度用いて接続孔12aの部分を埋め込みによって作製することが好ましい。その際、図示のごとく上部電極23の上部に接続用の金属でコンタクトメタルを形成した後、除去工程を行うと自己整合的に接続孔が形成され好ましい形態が得られる。

【0044】したがって、これらの製造方法を用いれば、素子加工時にイオンミリング法等の物理的スパッタリングによるエッチングの使用を最小限とすることが可能であり、以下のような優れた特徴を有する。

【0045】(1) 物理的スパッタリングによるエッチングでは、加工に伴って被加工物質が残渣としてウエハ中、また加工装置中に再付着する。これらはウエハの特性劣化、歩留まり低下の原因となり好ましくない。特にTMR素子の場合、接合側面への再付着は接合リークの原因となり、素子特性へ致命的な損傷を与える。本発明では、このような再付着に関わる問題を極力排除することが可能である。例えば、下部電極のみ埋め込みにより形成し、上部電極をイオンミリング法で形成する場合でも、上部電極のエッチングは下部電極には到達しないため再付着による接合リークは生じない。

【0046】(2) 物理的スパッタリングによるエッチングプロセスで、素子近傍への再付着を低減するためには、スパッタリングに用いるイオンビームを基板法線に対して傾けて入射する方法が多く用いられる。しかしながら、このような斜入射によるイオンビームエッチングでは、加工後の素子側面角は数十度に及ぶテーパ角を持

つ。また、側面角度はビーム入射角、マスク側面傾き、マスク厚さに依存して変化するため、プロセスにより寸法変換差が異なる結果となる。TMR素子の抵抗値及び磁気特性は、素子面積並びにその形状に依存するため、寸法変換差のばらつきはそのまま素子特性のばらつきにつながる。本発明では、素子領域をCDE、RIE等により精度良く規定できるためこのような特性ばらつきを排除できる。

【0047】(3) イオンミリング法のような荷電粒子を伴うエッチング法でTMR素子を加工した場合、絶縁膜部分の静電破壊が素子特性劣化の原因となる。本発明では、TMR素子の加工から荷電粒子を伴う加工プロセスを極力排除することができるため、かかる問題を低減することができる。

【0048】また、本発明では素子と上部配線との接続工程において、接続孔部分を埋め込みによって作成することができる。この際、上部電極上部に接続用の金属を形成した後、除去工程を行うと自己整合的に接続孔が形成され、接続孔形成時のマスクプロセスを省略することができる。

【0049】つぎに、本発明の磁気素子の実施例について説明する。

【0050】(実施例1) 図2(a)から(f)は本発明の第1の実施例を製造工程毎に断面を示した模式的図である。なお、図2(f)は最終形状である。すなわち、この実施例では、下部データ線、または選択トランジスタへの接続用金属パッド(下部配線パターン)上へTMR素子を形成する場合を示している。

【0051】図2(f)に示すように本実施例の強磁性トンネル接合を用いた磁気素子は、金属膜で形成された下部配線パターン11の上面に形成された絶縁層の所定個所に、TMR素子14が形成され、このTMR素子14の下部電極21が下部配線パターン11に接続している。また、TMR素子14の下部電極21の上部にはトンネルバリア22を介して上部電極23が強磁性トンネル接合により形成され、この上部電極23は接続プラグであるコンタクトメタル15を介して上部配線パターン16に接続している。

【0052】次にこれらの構成についての製造方法を説明する。まず、下部配線パターン11を形成する第1金属膜(W200nm/TiN50nm)の積層膜に膜厚300nmのSiO<sub>2</sub>からなる第1絶縁膜12をプラズマCVD法により堆積する。その後、フォトレジスト13の塗布と露光、現像工程により図2(a)で示すようにフォトレジスト13に埋め込み部分を規定する開口部13aを形成する。次に、フロロカーボン系の反応ガスを用いたRIEにより、第1絶縁膜12を第1金属膜11に達するまでエッチングして接続孔12aを得る。その際に下部配線パターン11である第1金属膜の表面のTiNはエッチングストッパー膜として機能する。(図

2(b))。フォトレジスト13を溶剤により除去した後(図2(c))、成膜用の真空装置にマウントし、表面清浄化のためArイオンによるクリーニング、250℃のアニールを行う。引き続き同一真空装置内で、TMR14の下部電極21、トンネルバリア22、上部電極23を堆積する。(図2(d))。

【0053】本実施例では、電子線加熱蒸着装置(不図示)およびクヌーセンセルを備えた超高真空MBE装置(不図示)を成膜に用いた。蒸発源とウエハとの距離は約40cm離れており、蒸発源からの分子線はおおむね平行にウエハに入射する。下部電極21はNiFe20nm/Co5nmの二層膜、上部電極23はCo20nm単層膜からなり、それぞれ電子線加熱蒸発法により堆積した。トンネルバリア22は膜厚1nmのアモルファスAl<sub>2</sub>O<sub>3</sub>からなり、酸素雰囲気中でクヌーセンセルからAlを蒸発させて、ウエハ上に堆積した。上部電極23の堆積後、さらにコンタクトメタル15として膜厚300nmのAlをスパッタ法により堆積した。(図2(d))

その後、真空装置から取り出し、CMP法により表面堆積層及び第1絶縁膜12を除去して平坦化し第1絶縁膜12と接続孔12a内の金属を面一にする。この金属はコンタクトメタル15となる。(図2(e))

この後、コンタクトメタル15の加工面に生じる加工変質層をウェットエッチングで除去した後に上部配線パターンを形成する第2金属膜16を形成する。第2金属膜16は膜厚300nmのAlからなり、スパッタ法により全面に堆積した後、フォトリソグラフィとRIEにより配線パターンを形成した。(図2(f))。

【0054】本実施例では、コンタクトメタル15の一部に達するまで表面堆積層及び第1絶縁膜12を除去し、表面を平坦化することで、自己整合的に接続孔が形成されている。すなわち、従来行われてきたCMP法による表面平坦化後の層間絶縁膜形成、接続孔形成を省略することができる。

【0055】なお、上述の方法の問題点は、第1絶縁膜12に形成された開口部12a中に、如何に前記のTMR素子14を構成する多層膜21~23を平坦に堆積できるかにある。さらに開口部中に堆積した多層膜21~23は、溝部以外に堆積した多層膜とは堆積時において完全に分断されていることが要求される。

【0056】それについては、上述のように、指向性の強い分子線が形成できるMBE法を用いることが好ましい。また開口部側面での第1絶縁膜の側壁形状を逆テーパ状としても良い。この場合、成膜後に開口部側面にボイドが生じるが、これはCMP法による表面除去前に、CVD法等により新たに絶縁膜を堆積することで解決できる。

【0057】本実施例によれば、TMR膜(素子)14の形状を接続孔12aの形状により規定しているので、

10

20

30

40

50

11

その形状を変更することでTMR14の抵抗値及び磁気特性を所望の値に制御することができる。

【0058】（実施例2）図3（a）から（i）は本発明の第2の実施例を製造工程毎に断面を示した模式的図である。なお、図3（i）は最終形状である。すなわち、この実施例では、下部データ線、または選択トランジスタへの接続用金属パッド（下部配線パターン）11上へTMR素子を形成する場合を示している。

【0059】図3（i）に示すように本実施例の強磁性トンネル接合を用いたTMR素子14は、接続プラグであるコンタクトメタル15の側壁と底部にバリア部22が形成されている以外は、実施例1の構造と同じであるので、図2と同一機能部分には同符号を付して個々の説明を省略する。

【0060】次にこれらの構成についての製造方法を説明する。

【0061】図3（c）の工程までは、第1の実施例と同一であるので、その詳細な説明は省略する。第1絶縁膜12に開口部12aを形成した後、成膜用の真空装置にマウントし、表面清浄化のためArイオンによるクリーニング、250℃のアニールを行った後、TMR素子14の下部電極21となるNiFe5nm/IrMn15nm/Co5nmの二層膜をMBE法により形成する。（図3（d））。引き続き同一真空装置内でトンネルバリア22となる膜厚1nmのAl<sub>2</sub>O<sub>3</sub>膜をAl<sub>2</sub>O<sub>3</sub>ターゲットからのスパッタ法により形成する。その後、プラズマCVD法により膜厚300nmのSiO<sub>2</sub>膜31を堆積する。この際、トンネルバリア22を形成するAl<sub>2</sub>O<sub>3</sub>膜保護のためCVD成膜前に膜厚10nm程度のSiO<sub>2</sub>膜をスパッタであらかじめ全面に成膜しておいても良い。（図3（e））。

【0062】次にCMP法により第1絶縁膜12の一部に達するまで表面堆積層を除去する。ついでウェットエッチングにより開口部に残置されたSiO<sub>2</sub>膜31を除去する。（図3（f））。その後、成膜用の真空装置にマウントし、表面清浄化のため250℃のアニールを行った後、TMR素子14の上部電極23となるCo5nm/NiFe20nmの二層膜をMBE法により、さらにコンタクトメタル15として膜厚300nmのAlをスパッタ法により堆積した。（図3（g））。

【0063】その後、真空装置から取り出し、CMP法により表面堆積層及び第1絶縁膜12の一部を除去し表面を平坦化することにより自己整合的に接続孔12aが形成される。（図3（h））。

【0064】その後、コンタクトメタル15の加工変質層をウェットエッチングで除去した後に上部配線パターンを形成する第2金属膜16を形成する。第2金属膜16は膜厚300nmのAlからなり、スパッタ法により全面に堆積した後、フォトリソグラフィとRIEにより配線パターンを形成した。（図3（i））

12

本実施例によれば、TMR14の形状を接続孔12aの形状により規定しているので、その形状を変更することでTMR14の抵抗値及び磁気特性を所望の値に制御することができる。

【0065】（実施例3）図4（a）から（k）は本発明の第3の実施例を製造工程毎に断面を示した模式的図である。なお、図4（k）は最終形状である。すなわち、この実施例では、下部データ線、または選択トランジスタへの接続用金属パッド（配線パターン）11上へTMR素子を形成する場合を示している。

【0066】図4（k）に示すように本実施例の強磁性トンネル接合を用いた磁気素子は、金属膜で形成された下部配線パターン11の上面に形成された第1絶縁層12の所定個所に、TMR素子14が形成され、このTMR素子14の下部電極21が下部配線パターン11に接続している。また、TMR素子14の下部電極21の上部にはトンネルバリア22を介して上部電極23が形成され、この上部電極23は第2絶縁層17内のハードマスク32を介して上部配線パターン16に接続している。

【0067】次にこれらの構成についての製造方法を説明する。

【0068】図4（c）の工程までは、第1の実施例と同一であるので、その詳細な説明は省略する。第1絶縁膜に開口部12aを形成した後、成膜用の真空装置にマウントし、表面清浄化のためArイオンによるクリーニング、250℃のアニールを行った後、TMR素子14の下部電極21となるW100nm/Ta100nm/NiFe5nm/IrMn5nm/Co5nmの5層膜をスパッタ法により形成する。（図4（d））。ついでCMP法により下部電極21の表面まで表面堆積層の除去を行う。（図4（e））。

【0069】引き続き成膜用の真空装置（不図示）にマウントし、表面清浄化のためArイオンによるクリーニング、250℃のアニールを行った後、同一真空装置内でトンネルバリア22となる膜厚1nmのAl<sub>2</sub>O<sub>3</sub>膜をAl<sub>2</sub>O<sub>3</sub>ターゲットからのスパッタ法により形成する。さらに同一真空装置内でTMR素子14の上部電極23となるCo5nm/NiFe20nmの2層膜をスパッタ法により堆積した。（図4（f））。

【0070】その後、真空装置から取り出し、フォトリソグラフィ工程により図示のレジストパターン13を形成する。（図4（g））。ついで、蒸着法により膜厚200nmのTiを堆積し、溶剤でレジストを除去することで図4（h）に示すハードマスク32を形成する。このTi膜をマスクとして、イオンミリング法により上部電極23の加工を行う。（図4（i））。

【0071】なお、ここでは、図示のようにハードマスク32の断面積が下部電極21の断面積よりも大きくなるように設定した。これにより、トンネルバリア22を越えてエッチングが生じた場合にも、接合側面への導電

13

性物質の再付着は起こらないため、素子特性の劣化を防ぐことができる。また本実施例の構成では、トンネルバリア22の $Al_2O_3$ 膜および第1絶縁膜12をエッチングストップ膜として利用できる。

【0072】本実施例では、いわゆるリフトオフ法によりTi膜からなるハードマスク32を作成した。ハードマスク32の作成法としては、例えば、Al膜の全面成膜後にRIE等でエッチングしても良い。その場合、上部電極23上にAu等のエッチングストップ膜を形成することは好ましい形態である。

【0073】その際は、ハードマスク32とエッチングストップ膜の材料を変えRIE等のエッチング時における選択比を大きくする必要がある。この用途では例えばAlとPt、Cuとの組み合わせが適している。

【0074】上部電極23の加工終了後、ハードマスク32を残したまま、全面に膜厚200nmの $SiO_2$ からなる第2絶縁膜17をプラズマCVD法により堆積する。(図4(j))この後、ハードマスク32に達するまで、第2絶縁膜17をCMP法により除去することにより、自己整合的に接続孔17aを形成できる。(図4(k))。

【0075】本実施例では、ハードマスク32が導電性を有しているため、上部電極23の加工終了後、ハードマスク32の除去工程を経ることなく上部電極23と第2金属膜16との接続を得ることができる。また、ハードマスク32に $SiO_2$ 等の絶縁体を用いる場合には、図4(j)と図4(k)の間にハードマスク32の除去工程を挿入すればよい。

【0076】本実施例によれば、TMR14の形状を接続孔12a、17aの形状により規定しているので、その形状を変更することでTMR14の抵抗値及び磁気特性を所望の値に制御することができる。

【0077】(実施例4)図5(a)から(j)は本発明の第3の実施例を製造工程毎に断面を示した模式的図である。なお、図5(j)は最終形状である。すなわち、この実施例では、下部データ線、または選択トランジスタへの接続用金属パッド(配線パターン)11上へTMR素子を形成する場合を示している。

【0078】図4(j)に示すように本実施例の強磁性トンネル接合を用いた磁気素子は、金属膜で形成された下部配線パターン11の上面に形成された第1絶縁層12の所定個所に、TMR素子14の下部電極21が形成され、このTMR素子14の下部電極21が下部配線パターン11に接続している。また、TMR素子14の下部電極21の上部にはトンネルバリア22を介して第2絶縁層17内に上部電極23が形成され、この上部電極23は上部配線パターン16に接続している。

【0079】次にこれらの構成についての製造方法を説明する。

【0080】図5(e)の工程までは、第3の実施例と

14

同一であるので、図4と同一機能部分には同一符号を付して、その詳細な説明は省略する。

【0081】すなわち、表面堆積層の除去後、成膜用の真空装置にマウントし、表面清浄化のためArイオンによるクリーニング、250℃のアニールを行った後、同一真空装置内でトンネルバリア22となる膜厚1nmの $Al_2O_3$ 膜を $Al_2O_3$ ターゲットからのスパッタ法により形成する。さらにトンネルバリア22の上部には、トンネルバリア22の界面を保護するためSiN10nmのパッシベーション膜33を堆積する。(図5(f))、パッシベーション膜33の堆積後、引き続いて、全面に膜厚200nmの $SiO_2$ からなる第2絶縁膜17をプラズマCVD法により堆積する。

【0082】その後、フォトレジスト13の塗布工程と露光工程および現像工程によりフォトレジスト13に埋め込み部分を規定する開口部を形成する。

【0083】次に、フロロカーボン系の反応ガスを用いたRIEにより、第2絶縁膜17をパッシベーション膜33に達するまでエッチングする。この際パッシベーション膜33がエッチングストップ膜として機能する。

(図5(g))、その後、まずウエットエッチングによりパッシベーション膜33を除去する。ついで成膜用の真空装置にマウントし、表面清浄化のため250℃のアニールを行った後に、TMR素子14の上部電極23となるCo5nm/NiFe20nmの2層膜を、さらにコンタクトメタル15として膜厚300nmのAlをスパッタ法により堆積した。(図5(h))。

【0084】その後、真空装置から取り出し、CMP法により表面堆積層及び第2絶縁膜17を除去することで自己整合的に接続孔17aが形成される。(図5(i))

その後、上部配線パターンを形成する第2金属膜16を形成する。第2金属膜16は膜厚300nmのAlからなり、スパッタ法により全面に堆積した後、フォトリソグラフィとRIEにより配線パターンを形成した。(図5(j))

本実施例によれば、TMR14の形状を接続孔12a、17aの形状により規定しているので、その形状を変更することでTMR14の抵抗値及び磁気特性を所望の値に制御することができる。

【0085】以上詳述したように、本発明の磁気素子、ならびその製造法を利用することで、イオンミリング法等の物理的スパッタリングによるエッチング法の使用を極力抑えることができる。

【0086】これにより、ウエハの特性劣化、歩留まり低下の原因となる、被加工物質の再付着、寸法変換差の低減、静電破壊の影響を低減することが可能となる。

【0087】

【発明の効果】本発明によれば、強磁性のトンネル接合部が形成され、記憶容量が大容量である磁気素子を歩留まり良く得ることができる。



15

【図面の簡単な説明】

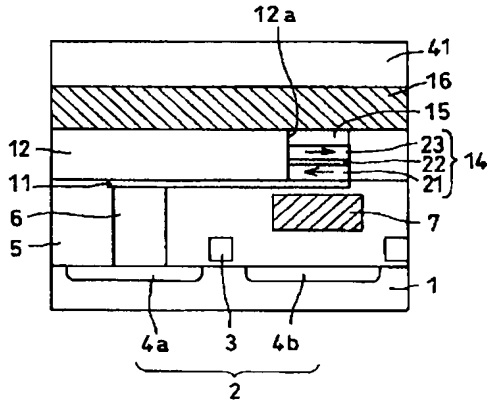
【図 1】 本発明の磁気素子を形成した磁気メモリ装置の模式レイアウト図。

【図 2】 本発明の実施例の製造工程毎に素子の断面を示した模式的図。

【図 3】 本発明の実施例の製造工程毎に素子の断面を示した模式的図。

【図 4】 本発明の実施例の製造工程毎に素子の断面を示 \*

【図 1】



16

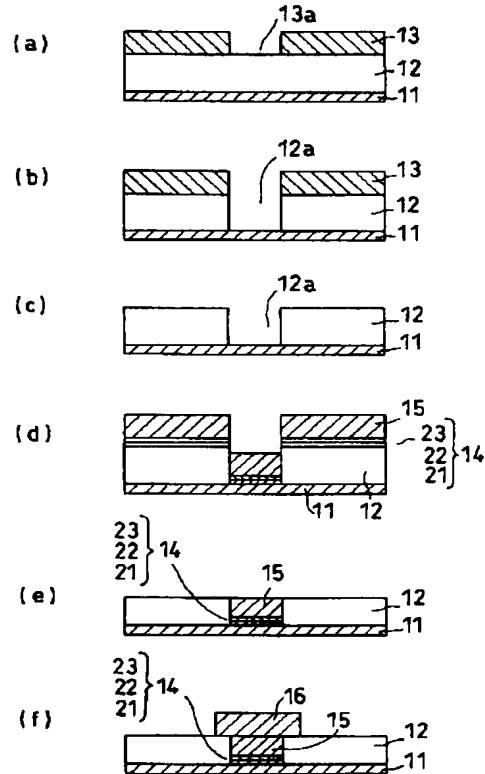
\*した模式的図。

【図 5】 本発明の実施例の製造工程毎に素子の断面を示した模式的図。

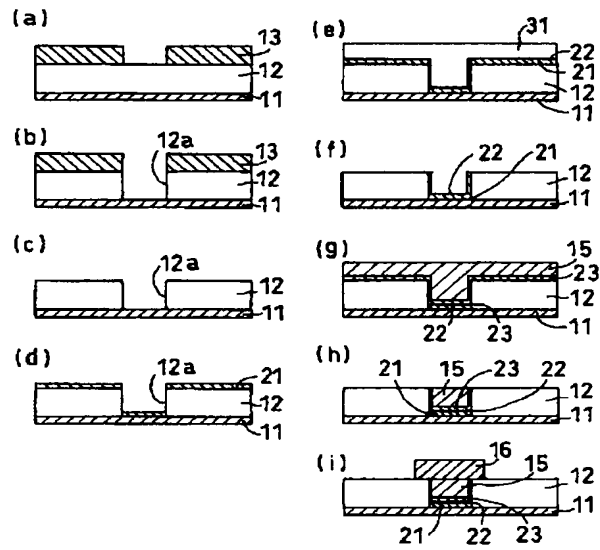
【符号の説明】

1…半導体基板、11…下部配線パターン、12…第1絶縁層、12a、17a…接続孔、14…TMR素子、15…コンタクト金属、21…下部電極、22…トンネルバリア、23…上部電極、

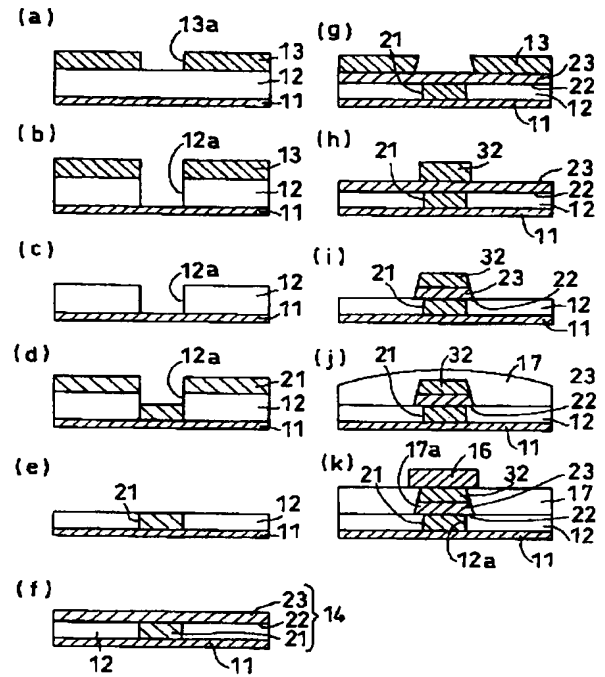
【図 2】



【図3】



【図4】



【図5】

